

(12)特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2004 年12 月2 日 (02.12.2004)

PCT

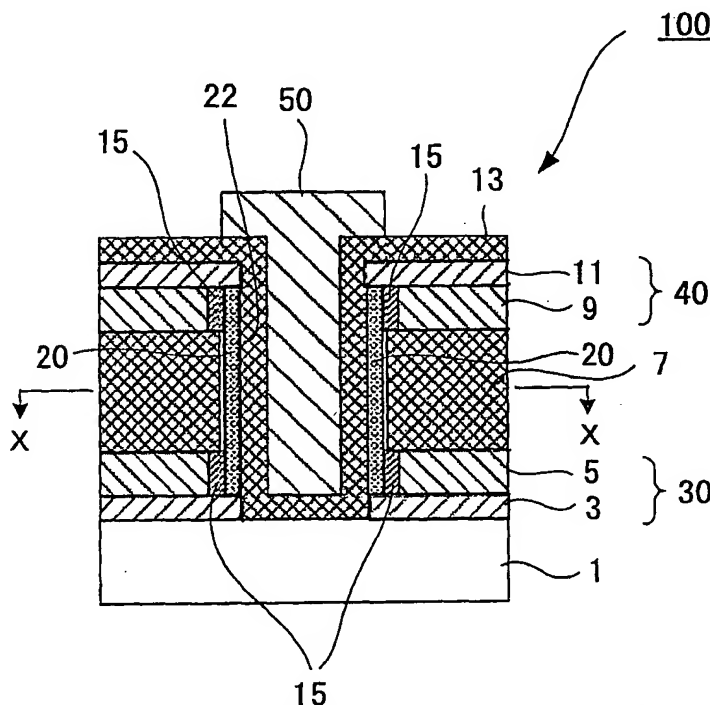
(10) 国際公開番号
WO 2004/105140 A1

- | | | |
|--|----------------------------|--|
| (51) 国際特許分類 ⁷ :
21/336, 29/06, B82B 3/00 | H01L 29/786, | (72) 発明者; および |
| (21) 国際出願番号: | PCT/JP2003/006379 | (75) 発明者/出願人 (米国についてのみ): 二瓶 瑞久 (NIHEI, Mizuhisa) [JP/JP]; 〒211-8588 神奈川県川崎市中 |
| (22) 国際出願日: | 2003 年5 月22 日 (22.05.2003) | 原区 上小田中 4 丁目 1 番 1 号 富士通株式会社内 |
| (25) 国際出願の言語: | 日本語 | Kanagawa (JP). |
| (26) 国際公開の言語: | 日本語 | (74) 代理人: 廣田 浩一 (HIROTA, Koichi); 〒151-0053 東京 |
| (71) 出願人 (米国を除く全ての指定国について): 富士通株式会社 (FUJITSU LIMITED) [JP/JP]; 〒211-8588 神奈川県川崎市中原区 上小田中 4 丁目 1 番 1 号 Kanagawa (JP). | | 都 渋谷区 代々木一丁目 1 9 番地 1 2 新代々木ビル |
| | | 2 0 6 山の手合同国際特許事務所 Tokyo (JP). |
| | | (81) 指定国 (国内): JP, US. |
| | | 添付公開書類: |
| | | — 国際調査報告書 |

[続葉有]

(54) Title: FIELD-EFFECT TRANSISTOR AND ITS MANUFACTURING METHOD

(54) 発明の名称: 電界効果トランジスタ及びその製造方法



(57) Abstract: A high-performance vertical field-effect transistor having a microminiaturized structure in which the distance between the gate and the channel is made short not through a microfabrication process, having a large gate capacitance, and so elaborated that the gate can control the channel current with a low voltage, and a method for simply and efficiently manufacturing such a field-effect transistor not through a complex process such as a microfabrication process are disclosed. The field-effect transistor comprises a first electrode, a second electrode so disposed as to be electrically insulated from the first electrode, a semiconductive bar-like body extending through at least one of the first and second electrodes, disposed along the inner wall of a hole in which the first and second electrodes are exposed, and interconnecting the first and second electrodes, and a third electrode at least partially inserted in the hole and

opposed to the semiconductive bar-like body with an insulating layer interposed between the third electrode and the semiconductive bar-like body. The modes preferably include a mode in which the thickness of the insulating layer is 50 nm or less and a mode in which the semiconductive bar-like body is a single-wall carbon nanotube.

(57) 要約: 本発明は、微細加工プロセスを経ずゲート・チャネル間距離を短く微細化した構造を有し、ゲート容量が大きく、ゲートによるチャネル電流の制御を低電圧で行うことができる高性能な縦型の電界効果トランジスタ、及び該電界効果トランジスタを微細加工プロセス等の複雑なプロセスを経ず簡便かつ効率的に製造可能な方法を提供することを目的とする。本発明の電界効果トランジスタは、

[続葉有]

WO 2004/105140 A1



2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

第一の電極と、該第一の電極に対し電氣的に絶縁された状態で配置された第二の電極と、該第一の電極及び該第二の電極の少なくとも一方を貫通しかつ該第一の電極及び該第二の電極を露出させるホールの内壁に沿って設けられ、かつ該第一の電極と該第二の電極とを接続する半導体性棒状体と、少なくとも一部が前記ホール内に挿入され、かつ前記半導体性棒状体に対して絶縁層を介して対向した状態で配置された第三の電極とを有する。絶縁層の厚みが50 nm以下である態様、半導体性棒状体が単層カーボンナノチューブである態様等が好ましい。

明 細 書

電界効果トランジスタ及びその製造方法

技術分野

本発明は、電界効果トランジスタ、特にカーボンナノチューブを伝導チャネルとして用いた高性能な縦型金属酸化膜半導体電界効果トランジスタ（MOSFET: Metal Oxide Semiconductor Field Effect Transistor）及びその製造方法に関する。

背景技術

トランジスタについては、ゲート長を短くする研究が従来より盛んになされてきた。現在の最短のゲート長は、電子線露光により作製したMOS構造のトランジスタにおける8 nmである。しかし、このトランジスタにおいては、ゲートの寸法揺らぎが大きく、直線性に劣るため、実用的ではないという問題がある。このようなSiテクノロジーによるトップダウン方式によるトランジスタの微細化には限界があり、新たな微細化技術の開発が強く望まれている。

一方、Siテクノロジーによるトップダウン方式によるトランジスタの微細化に対するブレークスルーとして、微細なカーボンナノチューブを用いてボトムアップ方式により電界効果トランジスタ（FET）を形成することが提案されている。該電界効果トランジスタは、ゲート電極に入力される電圧信号を、ソース電極又はドレイン電極から出力される電流信号に変換する素子であり、構造上の違いにより、電流が基板面と平行な方向に流れる横型電界効果トランジスタと、垂直な方向に流れる縦型電界効果トランジスタとに大別される。これらの中で、該縦型電界効果トランジスタの場合、主電極の一方が半導体素子の底面側にあり、前記横型電界効果トランジスタに比し単位面積当たりの通電能力に優れ、また、積層厚によって前記ゲート長が決まるため、膜堆積プロセスによって数nmレベルでゲート長の制御・微細化が可能であるという利点がある。そして、近時、化学的安定性、電気伝導性、電子放出能、機械的強度、熱伝導性等の物性に優れた

カーボンナノチューブを、ゲート電極や伝導チャネルに用いた縦型電界効果トランジスタが提案されている(例えば、非特許文献1及び特許文献1参照)。具体的には、図1A～図1Cに示すように、アルミナ又はシリコンからなる絶縁層60に多数の孔65を碁盤目状に形成し、孔65内にカーボンナノチューブ20を垂直方向に成長させ、絶縁層60の上部と下部とにそれぞれ配置されたドレイン電極ライン80とソース電極ライン90とをカーボンナノチューブ20で連結し、ドレイン電極ライン80の上部にゲート電極ライン70を設けた縦型電界効果トランジスタ(FET)が提案されている。

しかし、この場合、伝導チャネルとして使用されているカーボンナノチューブは、絶縁層の孔内に1本ずつ形成された比較的直径の大きな多層カーボンナノチューブであり、該多層カーボンナノチューブにおいては各層毎に電気的性質が異なり、金属的性質を有するものと半導体的性質を有するものとが混在するため、半導体的制御、即ちゲート電極によるチャネル電流制御を十分に行うことができないという問題がある。また、伝導チャネルの電流を制御するゲート電極が、ドレイン電極上のカーボンナノチューブから離れた位置に形成されているため、ゲート電極と伝導チャネル(カーボンナノチューブ)との距離が大きく、チャネル電流の変調時に必要なゲート容量が不足して、十分なデバイス性能が得られないという問題がある。

また、伝導チャネル(カーボンナノチューブ)とゲート電極との距離を短縮した電界効果トランジスタも提案されている(例えば、特許文献2参照)。しかし、この場合、パターニング法によりゲート・チャネル間隔を決めるため、パターニングの揺らぎによってゲート・チャネル間隔も揺らぎ、チャネル電流の制御が不十分となるという問題がある。

したがって、ゲート電極と伝導チャネルとの距離が小さく、ゲートによるチャネル電流制御を十分に行うことができる高性能な縦型の電界効果トランジスタ及び該電界効果トランジスタを効率よく製造する方法は、未だ提供されていないのが現状である。

Applied Physics Letters, vol. 79, p. 3696, 2001

特許文献 1

特開 2002-110977 号公報

特許文献 2

特開 2003-109974 号公報

本発明は、従来における問題を解決し、以下の目的を達成することを課題とする。即ち、本発明は、微細加工プロセスを経ずゲート・チャネル間距離を短く微細化した構造を有し、ゲート容量が大きく、ゲートによるチャネル電流の制御を低電圧で行うことができる高性能な縦型の電界効果トランジスタ、及び該電界効果トランジスタを微細加工プロセス等の複雑なプロセスを経ず簡便かつ効率的に製造可能な方法を提供することを目的とする。

発明の開示

本発明の電界効果トランジスタは、第一の電極と、該第一の電極に対し電氣的に絶縁された状態で配置された第二の電極と、該第一の電極及び該第二の電極の少なくとも一方を貫通しかつ該第一の電極及び該第二の電極を露出させるホールの内壁に沿って設けられ、かつ該第一の電極と該第二の電極とを接続する半導体性棒状体と、少なくとも一部が前記ホール内に挿入され、かつ前記半導体性棒状体に対して絶縁層を介して対向した状態で配置された第三の電極とを有する。

該電界効果トランジスタにおいては、前記第一の電極及び前記第二の電極の一方がソース電極として機能し、他方がドレイン電極として機能し、前記第三の電極がゲート電極として機能する。そして、該第一の電極と該第二の電極とを接続する前記半導体性棒状体は、伝導チャネルとして機能する。該伝導チャネルは、前記絶縁層を介して前記ゲート電極に対向して配置されている。前記電界効果トランジスタにおいては、前記絶縁層の厚みを薄く制御すると、半導体微細加工技術を用いることなく容易にゲート・チャネル間距離を短く微細化することができ、該電界効果トランジスタにおけるゲート容量が増大され、デバイス性能が大幅に向上され、また、前記半導体性棒状体の数を調整すると、デバイス電流が所望に

制御可能となる。

本発明の電界効果トランジスタは、本発明の前記電界効果トランジスタの製造方法であって、絶縁層を介して配置される第一の電極及び第二の電極を露出させるホールを形成し、前記ホールの内壁に沿って半導体性棒状体を形成して該第一の電極と該第二の電極とを接続する半導体性棒状体形成工程と、該半導体性棒状体が形成された前記ホールの露出面上に絶縁層を被覆する絶縁層被覆工程と、該絶縁層で被覆された前記ホールを埋設するようにして第三の電極を形成する第三の電極形成工程とを含む。

前記半導体性棒状体形成工程において、絶縁層を介して配置される第一の電極及び第二の電極を露出させるホールが形成され、前記ホールの内壁に沿って半導体性棒状体が形成されて該第一の電極と該第二の電極とが接続される。前記絶縁層被覆工程において、前記半導体性棒状体が形成された前記ホールの露出面上に絶縁層が被覆される。前記第三の電極形成工程において、前記絶縁層で被覆された前記ホールを埋設するようにして第三の電極が形成される。前記絶縁層被覆工程において、前記絶縁層の厚みを薄くしたまま、前記第三の電極を形成することにより、前記半導体性棒状体と前記第三の電極との距離を短くすることができ、半導体微細加工技術を用いることなく容易にゲート・チャネル間距離を短く微細化することができる。以上により、本発明の高性能な電界効果トランジスタが製造される。

図面の簡単な説明

図1 Aは、絶縁層における孔内で垂直に成長したカーボンナノチューブを示す説明図である。図1 Bは、従来の縦型電界効果トランジスタを示す概略説明図である。図1 Cは、ソース電極及びドレイン電極とカーボンナノチューブとの配置を示す模式図である。

図2 Aは、アームチェア型のカーボンナノチューブのカイラリティを示す模式図である。図2 Bは、ジグザグ型のカーボンナノチューブのカイラリティを示す模式図である。図2 Cは、カイラル型のカーボンナノチューブのカ

イラリティを示す模式図である。

図 3 A は、本発明の電界効果トランジスタの一例を示す断面概略説明図である。

図 3 B は、図 3 A における X-X 方向での一部省略断面図である。

図 4 A は、本発明の電界効果トランジスタの他の例を示す断面概略説明図である。図 4 B は、図 4 A における Y-Y 方向での一部省略断面図である。

図 5 A ～図 5 F は、本発明の電界効果トランジスタの製造プロセスの一例を説明するための工程図である。図 5 A は、半導体性棒状体形成工程において、基板上に絶縁層を介して配置される第一の電極及び第二の電極を含む積層構造体を形成した状態を示す概略断面図である。図 5 B は、半導体性棒状体形成工程において、前記積層構造体に、絶縁層を介して配置される第一の電極及び第二の電極を露出させるホールが形成された状態を示す概略断面図である。図 5 C は、半導体性棒状体形成工程において、前記ホールの内壁に沿って半導体性棒状体としてのカーボンナノチューブを形成して該第一の電極と該第二の電極とを接続した状態を示す概略断面図である。図 5 D は、熱処理によりカーボンナノチューブと第一の電極及び第二の電極とをオーミック接触させた状態を示す概略断面図である。図 5 E は、絶縁層被覆工程において、前記半導体性棒状体が形成された前記ホールの露出面上に絶縁層を被覆した状態を示す概略断面図である。図 5 F は、第三の電極形成工程において、前記絶縁層で被覆された前記ホールを埋設するようにして第三の電極を形成した状態を示す概略断面図である。

図 6 A ～図 6 F は、本発明の電界効果トランジスタの製造プロセスの他の例を説明するための工程図である。図 6 A は、半導体性棒状体形成工程において、基板上に絶縁層を介して配置される第一の電極及び第二の電極を含む積層構造体を形成した状態を示す概略断面図である。図 6 B は、半導体性棒状体形成工程において、前記積層構造体に、絶縁層を介して配置される第一の電極及び第二の電極を露出させるホールが形成された状態を示す概略断面図である。図 6 C は、ホールの形成により円状に露出した、第一の電極における金属層の周縁部を除く中央部分を材料層で被覆した状態を示す概略断面図である。図 6 D は、半導体性棒状体形成工程において、前記ホールの内壁に沿って半導体性棒状体としてのカーボンナノチューブを形成して該第一の電極と該第二の電極とを接続した状態を示す

概略断面図である。図 6 E は、熱処理によりカーボンナノチューブと第一の電極及び第二の電極とをオーミック接触させた状態を示す概略断面図である。図 6 F は、絶縁層被覆工程において、前記半導体性棒状体が形成された前記ホールの露出面上に絶縁層を被覆し、第三の電極形成工程において、該絶縁層で被覆された前記ホールを埋設するようにして第三の電極を形成した状態を示す概略断面図である。

発明を実施するための最良の形態

(電界効果トランジスタ)

本発明の電界効果トランジスタは、第一の電極と、第二の電極と、半導体性棒状体と、第三の電極とを有し、更に必要に応じてその他の部材などを有してなる。

—第一の電極—

前記第一の電極としては、その形状、構造、材料、厚み、大きさ等について特に制限はなく、目的に応じて公知のものの中から適宜選択することができる。該第一の電極は、前記電界効果トランジスタにおいてソース電極として機能させることができる。

前記形状としては、例えば、板状などが好適に挙げられる。

前記構造としては、単層構造であってもよいし、積層構造であってもよいが、前記半導体性棒状体との間でオーミック接触を容易に形成することができる点で、積層構造であるのが好ましい。該積層構造としては、例えば、金属層上に半導体性棒状体と反応可能な材料層が形成された構造であるのが好ましい。

前記材料としては、前記第一の電極が前記積層構造を有する場合には前記金属層の材料としては、特に制限なく、電極材料として公知のものの中から適宜選択することができ、例えば、金属などが挙げられる。これらの中でも、前記半導体性棒状体の伸長に用いられる触媒金属が好ましい。この場合、該第一の電極上に前記カーボンナノチューブを成長形成させることができる点で有利である。

前記触媒金属の材料としては、特に制限は無く、目的に応じて公知のものの中から適宜選択することができ、例えば、遷移金属、遷移金属化合物、遷移金属の

合金、などが好適に挙げられる。

前記遷移金属としては、例えば、Al、Ti、V、Cr、Mn、Fe、Ni、Co、Cu、Zn、Zr、Mo、Ru、Rh、Pd、Ag、Cd、In、Sn、Sb、W、Re、Os、Ir、Pt、などが挙げられる。これらは、1種単独で使用してもよいし、2種以上を併用してもよい。これらの中でも、高触媒活性を有する観点からはFe、Co、Al、Ni、Mn、Pd、Cr、Ptなどが好ましく、また、単層カーボンナノチューブを製造する観点からはNi（ニッケル）、Fe（鉄）、Co（コバルト）などが好ましい。

前記遷移金属化合物としては、例えば、前記遷移金属の酸化物、前記遷移金属のハロゲン化物、前記遷移金属の水酸化物、前記遷移金属の硫酸塩、前記遷移金属の硝酸塩、などが挙げられる。これらは、1種単独で使用してもよいし、2種以上を併用してもよい。

前記遷移金属の合金としては、例えば、前記遷移金属における任意の2種以上の合金、前記遷移金属から選択した少なくとも1種と他の金属の少なくとも1種とで構成される合金、などが挙げられる。

また、前記材料層の材料としては、特に制限なく、公知のものの中から適宜選択することができるが、前記半導体性棒状体と反応可能であるものが好ましい。この場合、該材料層に前記半導体性棒状体させた状態で加熱処理を行うと、該材料層と該半導体性棒状体との接触部において、該半導体性棒状体を構成する元素と、該材料層を構成する材料との化合物が生成し、前記半導体性棒状体と前記第一の電極とをオーミック接触させることができる点で有利である。

前記材料層の材料の具体例としては、Ti（チタン）、Si（ケイ素）、Nb（ニオブ）、C（炭素）などが好適に挙げられる。なお、前記半導体性棒状体がカーボンナノチューブである場合、前記加熱処理により該カーボンナノチューブとの接触部において、該材料が、TiであればTiCが生成し、SiであればSiCが生成し、Cであればグラファイトカーボンが生成し、該カーボンナノチューブと前記第一の電極とがオーミック接触により、互いに強固に接続される。

前記厚みとしては、特に制限はなく、目的に応じて適宜選択することができ、20～300nmが好ましく、50～120nmがより好ましい。

前記厚みが、20 nm未満であると、前記半導体性棒状体（カーボンナノチューブ）が成長しないことがあり、300 nmを超えると、前記半導体性棒状体（カーボンナノチューブ）と前記第一の電極とがオーミック接触しないことがある。

なお、前記第一の電極が前記積層構造を有する場合には、前記金属層の厚みとしては、例えば、20～100 nmが好ましく、5～20 nmがより好ましく、前記材料層の厚みとしては、例えば、20～200 nmが好ましく、50～100 nmがより好ましい。

前記金属層の厚みが前記数値範囲外であると、前記半導体性棒状体（カーボンナノチューブ）を十分に成長させることができないことがあり、前記材料層の厚みが前記数値範囲外であると、前記第一の電極と前記半導体性棒状体とをオーミック接触させることができないことがある。

前記第一の電極は、基板上に形成することができる。なお、該第一の電極が前記積層構造を有する場合には、前記基板上に、前記金属層、前記材料層の順に形成するのが好ましい。

前記基板としては、その形状、構造、大きさ等については、特に制限はなく、目的に応じて適宜選択することができ、前記形状としては、例えば平板状などが挙げられ、前記構造としては、単層構造であってもいいし、積層構造であってもよく、前記大きさとしては、前記上部電極及び下部電極の大きさ等に応じて適宜選択することができる。

前記基板としては、例えば、無機材料で形成された基板、有機材料で形成された基板、などが挙げられる。

前記無機材料で形成された基板としては、例えば、ガラス基板、石英基板、シリコン基板、酸化シリコン基板、酸化アルミニウム基板、 SiO_2 膜被覆シリコン基板等が挙げられる。

前記有機材料で形成された基板としては、例えば、ポリエチレンテレフタレート基板、ポリカーボネート基板、ポリスチレン基板、ポリメチルメタクリレート基板等が挙げられる。

これらは、1種単独で使用してもよいし、2種以上を併用してもよい。これら

の中でも、ガラス基板、石英基板、シリコン基板が好ましい。

前記基板は、適宜合成したものであってもよいし、市販品を使用してもよい。

前記基板の厚みとしては、特に制限はなく、目的に応じて適宜選択することができ、 $100 \sim 2000 \mu\text{m}$ が好ましく、 $500 \sim 700 \mu\text{m}$ がより好ましい。

前記基板の厚みが、 $100 \mu\text{m}$ 未満であると、機械的強度が弱いことがあり、 $2000 \mu\text{m}$ を超えると、熱伝導性が悪化し、前記半導体性棒状体（カーボンナノチューブ）の成長不良が生ずることがある。

なお、基板表面は平坦であることが好ましい。

前記第一の電極の形成方法としては、特に制限はなく、目的に応じて公知の方法の中から適宜選択することができ、例えば、塗布法、メッキ法、印刷法、スパッタ法、CVD法、蒸着法などが挙げられる。前記第一の電極が前記積層構造を有する場合には前記金属層及び前記材料層の形成方法として、同様のものが挙げられる。なお、前記第一の電極の形成後に、適宜アニール処理等を行ってもよい。

—第二の電極—

前記第二の電極としては、その形状、構造、材料、厚み、大きさ等について特に制限はなく、目的に応じて公知のものの中から適宜選択することができ、前記第一の電極と同様のものが挙げられる。前記第二の電極は、前記第一の電極と異なってもよいし、同じであってもよい。該第二の電極は、前記電界効果トランジスタにおいてドレイン電極として機能させることができる。

なお、前記第二の電極においては、その上に、また、該第二の電極が前記第一の電極と同様に前記積層構造を有する場合には前記金属層上に、前記基板又は後述の絶縁層を設けてもよい。この場合、前記第二の電極における前記半導体性棒状体と反応可能な前記材料層を、後述する絶縁膜を介して、前記第一の電極における前記材料層と対向して配置させた電界効果トランジスタにおいては、一の表面が前記基板となり、他の表面が前記基板又は前記絶縁層となり、電氣的に絶縁した状態に設計することができる点で好ましい。

前記第二の電極は、前記第一の電極に対し電氣的に絶縁された状態で配置され

るが、絶縁膜を介して配置されるのが好ましい。

前記絶縁膜の形状、構造、材料、厚み、大きさ等については、特に制限はなく、目的に応じて適宜選択することができる。

前記形状としては、例えば、板状などが挙げられる。

前記構造としては、例えば、単層構造であってもよいし、積層構造であってもよい。

前記材料としては、例えば、無機材料、有機材料などが挙げられる。

前記無機材料としては、例えば、酸化物、窒化物、フッ化物等が挙げられる。前記酸化物としては、例えば、酸化ケイ素、酸化アルミニウム、酸化チタン等が挙げられる。前記窒化物としては、例えば、窒化ケイ素、窒化シリコン等が挙げられる。前記フッ化物としては、例えば、フッ化カルシウム等が挙げられる。

前記有機材料としては、例えば、高分子材料が好ましく、アクリル樹脂、エポキシ樹脂、ポリイミド、ポリテトラフルオロエチレン等が好適に挙げられる。

これらは、1種単独で使用してもよいし、2種以上を併用してもよい。これらの中でも、前記酸化物、前記窒化物及び前記フッ化物から選択される少なくとも1種の無機材料、レジスト材料であるのが好ましく、酸化シリコン (SiO_2) がより好ましい。

前記厚みとしては、特に制限はなく、目的に応じて適宜選択することができ、例えば、2～100nmが好ましく、3～20nmがより好ましい。

前記厚みが、2nm未満であると、ゲート・リーク電流が増加し、特性が劣化することがあり、100nmを超えると、伝導チャネル長が長くなり、デバイス電流の制御が困難になることがある。

前記絶縁膜の形成方法としては、特に制限はなく、目的に応じて公知の方法の中から適宜選択することができ、例えば、スパッタ法、CVD法、PVD法等の蒸着法、塗布法、などが挙げられる。

前記第二の電極の配置としては、特に制限はなく、目的に応じて適宜選択することができるが、例えば、前記絶縁膜を介して、前記第一の電極と対向させた配置が好ましく、該第二の電極及び前記第一の電極が積層構造である場合には互いの前記材料層を対向させた配置が好ましい。

—半導体性棒状体—

前記半導体性棒状体は、前記電界効果トランジスタにおいて伝導チャネルとして機能する。該半導体性棒状体としては、伝導チャネルとして機能する限り、特に制限はなく、公知のものの中から適宜選択することができ、例えば、炭素元素で形成された材料、などが挙げられる。

前記炭素元素で形成された材料としては、例えば、カーボンナノチューブ、カーボンナノホーン、などが挙げられる。これらは、1種単独で使用してもよいし、2種以上を併用してもよい。これらの中でも、カーボンナノチューブが特に好ましい。

前記カーボンナノチューブは、炭素系材料であり、そのカイラリティ(チューブのネジレ方、あるいはグラファイトシートの巻き方)によって電気伝導率が半導体的乃至金属的に変化し、ダイヤモンド以上の熱伝導率を示し、1平方センチメートル当たり 10^6 アンペアまで流せる電流密度を示し、ヤング率が高く、水素などの吸蔵効率が低い可能性があるなど、優れた物性を備えている。

前記カーボンナノチューブとしては、特に制限はなく、目的に応じて適宜選択することができ、例えば、単層構造のもの、多層構造のものなどが挙げられる。前記単層構造のものとしては、グラフェンシート(単原子層の二次元六員環ネット)が一層のみの単層カーボンナノチューブ(SWNT: Single Wall Nanotube)などが挙げられ、前記多層構造のものとしては、複数のグラフェンシートからなる多層カーボンナノチューブ(MWNT: Multi Wall Nanotube)などが挙げられる。

これらは、1種単独で使用してもよい、2種以上を併用してもよい。これらの中でも、半導体的性質を示す点で、単層カーボンナノチューブが好ましい。

前記単層カーボンナノチューブは、炭素原子同士が sp^2 結合と呼ばれる最も強い結合により六角形状につながったグラファイトシートを筒状に丸めた構造を有し、カーボンナノチューブの先端は5員環を含むいくつかの6員環で閉じられている。該単層カーボンナノチューブは、直径、カイラル角(螺旋の角度)及び螺旋方向(右巻きか左巻きか)の三つのパラメータにより規定される。該三つの

パラメータの中でも、特に前記直径及び前記カイラル角によって金属相と半導体相とが入れ替わる特異な物性を持つことが知られている。

前記カーボンナノチューブには、金属的性質を示すための条件を満たすバンド構造を取るものと、半導体的（半金属的）性質を示すための条件を満たすバンド構造を取るものとがある。前記カーボンナノチューブが、金属的性質を示すか、半導体的性質を示すかは、該カーボンナノチューブのカイラリティ（チューブのネジレ方、あるいはグラファイトシートの巻き方）が関与している。例えば、図2Aは、アームチェア型のカーボンナノチューブのカイラリティを示している。このアームチェア型のカーボンナノチューブは、金属的性質を示すことが知られている。また、図2Bは、ジグザグ型のカーボンナノチューブのカイラリティを示している。このジグザグ型のカーボンナノチューブは、半導体的性質を示すことが知られている。更に、図2Cは、カイラル型のカーボンナノチューブのカイラリティを示している。このカイラル型のカーボンナノチューブは、条件により金属的性質を示すものと、半導体的性質を示すものとがあることが知られている。

これらの中でも、本発明においては、前記半導体的性質を示すものを前記半導体性棒状体として使用することができ、該半導体的性質を示すものとしては、前記ジグザグ型カーボンナノチューブ及び前記カイラル型カーボンナノチューブのいずれかが好適に挙げられる。なお、前記金属的性質を示すものの場合、ゲートによるチャネル電流の制御を十分に行うことができないことがある。一方、前記半導体的性質を示すものの場合にはそのようなことはない点で有利である。

前記カーボンナノチューブのカイラリティは、その製造方法や製造条件などにより変化することが知られている。

前記半導体性棒状体の電導性としては、半導体性乃至導電性であれば特に制限はなく、目的に応じて適宜選択することができるが、ゲートによるチャネル電流の制御の点で、半導体性であることが好ましい。

前記半導体性棒状体は、前記ホールの内壁に沿って設けられる。

前記ホールとしては、前記第一の電極及び前記第二の電極の少なくとも一方を貫通しかつ該第一の電極及び第二の電極を露出させるものであれば特に制限はな

く、その形状、構造、大きさ、数等については目的に応じて適宜選択することができる。

前記形状としては、例えば、円筒状、角筒状、などが挙げられる。これらは1つのみを使用してもよいし、2以上を併用してもよい。本発明の電界効果トランジスタにおいては、前記半導体性棒状体が該ホールの内壁に沿って設けられ、更に該ホールにゲート電極として機能する前記第三の電極が挿入される構造をとり、該半導体性棒状体と前記第三の電極との距離ができるだけ短くかつ一定である方が、電流の制御の点で好ましいことから、前記ホールの内壁が前記半導体性棒状体の形成方向に平行であることが好ましく、該半導体性棒状体の形成方向にその中心軸が配向された円筒状が特に好ましい。

なお、該半導体性棒状体の形成方向としては、前記第一の電極と前記第二の電極とが対向配置されている場合には、該第一の電極と該第二の電極とに対し略直交方向であるのが好ましい。

前記構造としては、前記ホールの内壁に沿って前記半導体性棒状体を設けることができ、その内部に前記第三の電極を挿入させることができればよいが、例えば、前記第一の電極及び前記第二の電極の少なくとも一方を貫通した構造が挙げられるが、該第一の電極及び第二の電極の両方を貫通した構造であってもよいし、一方のみを貫通した構造であってもよい。該一方のみを貫通した構造の場合、貫通されていない他方が前記積層構造を有する場合には、前記材料層の全部又は一部までが貫通され除去されて前記金属層が露出した構造が好ましい。この場合、該他方においては、形成した前記半導体性棒状体を、該材料層とかつ該材料層が除去されて露出する前記金属層とにオーミック接触させることができる点で有利である。なお、このとき、前記金属層の露出した形状としては、前記ホールの開口部の形状と同じであってもよいし、異なってもよい。前者の場合には、前記ホールが円筒状である場合には円形、角筒状である場合には角形、などが好ましい。後者の場合には、前記ホールの開口部の形状と略同等の形状及び径を有する周状、例えば、前記ホールが円筒状である場合には円周状、角筒状である場合には角周状、などが好ましい。

前記大きさとしては、デバイス電流の制御値等に応じて適宜選択することがで

き、前記ホールの開口部の径が大きくなるほど、該ホールに挿入される前記第三の電極の径が大きくなり、制御可能な電流値が大きくなるが、例えば、その開口部の径（該開口部の形状が円形以外の場合には最大径）が、 $0.1 \sim 5 \mu\text{m}$ であるのが好ましく、 $1 \sim 2 \mu\text{m}$ であるのがより好ましい。

前記大きさとしての開口部の径が、 $0.1 \mu\text{m}$ 未満であると、リソグラフィが難しくなることがあり、 $5 \mu\text{m}$ を超えると、電流値として大きすぎることがある。

前記数としては、制御するデバイス電流値等に応じて適宜選択することができ、1であってもよいし、2以上であってもよい。

なお、前記ホールの内壁においては、前記第一の電極、前記絶縁膜、前記第二の電極等が露出しており、該ホールが一端のみ開口するものの場合には、例えば、該ホールにおいては底面として前記第一の電極（該第一の電極が前記積層小僧である場合には前記金属層のみ）が露出し、その内壁においては、（該第一の電極が前記積層構造である場合には前記材料層）、前記絶縁膜、前記第二の電極（該第二の電極が積層構造である場合には前記材料層及び前記金属層）が露出しており、該ホールが両端とも開口している場合には、例えば、前記第一の電極（該第一の電極が前記積層構造である場合には前記材料層及び前記金属層）、前記絶縁膜、前記第二の電極（該第二の電極が前記積層構造である場合には前記材料層及び前記金属層）が露出している。

前記ホールの内壁上には、段差があってもよいし、段差がなくてもよい。前者の場合としては、例えば、前記ホールが両端とも開口し、前記第一の電極及び前記第二の電極が前記積層構造であって、該第一の電極における前記金属層及び前記第二の電極における金属層が他の層よりも該ホールの内部に突出している態様などが挙げられる。この態様の場合、前記カーボンナノチューブを前記金属層間に伸長形成することができ、かつ該カーボンナノチューブに前記第一の電極における前記材料層及び前記第二の電極における前記材料層を接触させることができ、かつ該カーボンナノチューブを前記ホールの内壁に沿って伸長形成させることができる点で有利である。

前記ホールの形成は、特に制限はなく、公知のホール形成技術、パターン形成技術等の中から適宜選択した方法に従って行うことができ、例えば、前記第一の

電極、前記絶縁膜及び前記第二の電極を蒸着法、塗布法等によって積層形成した後、これらをエッチング法、スパッタ法等によって選択的に除去すること等により、行うことができる。

前記半導体性棒状体は、前記ホールの内壁に沿って設けられるが、その方向としては、互いに対向配置された前記第一の電極及び前記第二の電極に対し略直交する方向が好ましい。

前記半導体性棒状体の直径としては、特に制限はなく、目的に応じて適宜選択することができ、例えば、20 nm以下が好ましく、0.4 nm～1.5 nmがより好ましい。

前記直径が、0.4 nm未満であると、機械的強度が不十分となることがあり、20 nmを超えると、半導体性の性質が失われることがある。

前記半導体性棒状体の長さとしては、例えば、50 nm～500 nmが好ましい。

前記長さが、50 nm未満であると、ソース・ドレイン間のリーク電流が大きくなり、デバイス性能が劣化することがあり、500 nmを超えると、伝導チャネル長が長くなり、デバイス特性が劣化することがある。

前記半導体性棒状体の数としては、特に制限はなく、要求されるデバイス電流値等に応じて適宜選択することができる。

前記半導体性棒状体の数が複数である場合には、該半導体性棒状体は、略等間隔に配置されるのが好ましい。

前記半導体性棒状体は、前記ホールの内壁に沿って設けられて、換言すれば、前記第三の電極の周囲に配置された状態で、前記第一の電極と前記第二の電極とを接続するが、このとき、デバイス性能の観点からは、該半導体性棒状体が、前記第一の電極及び該第二の電極とオーミック接触しているのが好ましく、該第一の電極及び該第二の電極が前記積層構造を有する場合には、該半導体性棒状体が、前記第一の電極における前記金属層及び前記材料層とオーミック接触し、かつ前記第二の電極における前記金属層及び前記材料層とオーミック接触しているのがより好ましい。

前記半導体性棒状体の形成方法としては、特に制限はなく、目的に応じて公知の方法の中から適宜選択することができ、例えば、蒸着法などが挙げられる。該半導体性棒状体が前記カーボンナノチューブである場合、該カーボンナノチューブの形成方法としては、例えば、CVD法（化学的蒸着法）、PVD（物理的蒸着法）などが挙げられるが、これらの中でもCVD法が好ましい。

前記CVD法としては、特に制限はなく、目的に応じて公知の方法の中から適宜選択することができ、例えば、プラズマCVD法、熱CVD法、ホットフィラメント熱CVD法、DCプラズマ熱フィラメントCVD法、などが挙げられる。

なお、前記CVD法を行う場合、前記第一の電極及び前記第二の電極の少なくとも一方の材料を、前記カーボンナノチューブの製造触媒である触媒金属により形成しておくこと、前記第一の電極及び前記第二の電極の一方をカーボンナノチューブの製造基板として使用することができる点で有利である。この場合、前記触媒金属の多結晶状態等に応じて形成されるカーボンナノチューブの直径、数等を制御することができる。また、この場合、前記第一の電極及び前記第二の電極の間に、即ち両電極と略直交方向に、直流電界を印加して前記CVD法を行うと、両電極と略直交方向に前記半導体性棒状体を形成することができる点で有利である。

－第三の電極－

前記第三の電極としては、その形状、構造、材料、厚み、大きさ等について特に制限はなく、目的に応じて適宜選択することができる。該第三の電極は、前記電界効果トランジスタにおいてゲート電極として機能させることができる。

前記形状としては、前記ホールの形状等に応じて適宜選択することができ、例えば、前記ホール内に挿入された部分の形状が、該ホールの内壁、即ち周側面の形状と略同等の形状の周側面を有する形状であるのが好ましく、具体的には、前記ホールの形状が円筒状である場合には、該ホールに挿入される部分が円柱状などであるのが好ましい。なお、該第三の電極は前記ホールの内部から外部に突出して形成されていてもよく、この場合、前記第二の電極上にまで電氣的に絶縁さ

れた状態で延設されていてもよい。

前記材料としては、特に制限はなく、公知の電極材料の中から適宜選択することができ、例えば、金、銀、白金、チタン、Pt-Au合金、炭化チタン、窒化チタン、タングステン、ケイ化タングステン、窒化タングステン、アルミニウム、モリブデン、クロム、多結晶シリコン、などが挙げられる。これらは、1種単独で使用してもよいし、2種以上を併用してもよい。これらの中でも、Pt-Au合金が好ましい。

前記第三の電極は、前記半導体性棒状体に対し、後述する絶縁層を介して対向配置される。該第三の電極の周囲には、前記半導体性棒状体が前記絶縁層を介して極めて近接して配置されている。

前記絶縁層としては、その形状、構造、材料、厚み、大きさ等について特に制限はなく、目的に応じて適宜選択することができる。該絶縁層は、前記電界効果トランジスタにおいて、ゲート電極としての前記第三の電極と、伝導チャネルとしての前記半導体性棒状体とを絶縁する機能を有する。

前記絶縁層の材料としては、例えば、無機材料、有機材料、その他の材料、などが挙げられる。

前記無機材料としては、例えば、酸化物、窒化物、フッ化物等が挙げられる。前記酸化物としては、例えば、酸化ケイ素、酸化アルミニウム、酸化チタン等が挙げられる。前記窒化物としては、例えば、窒化ケイ素、窒化シリコン等が挙げられる。前記フッ化物としては、例えば、フッ化カルシウム等が挙げられる。

前記有機材料としては、例えば、アクリル樹脂、エポキシ樹脂、ポリイミド、ポリテトラフルオロエチレン等が挙げられる。

前記その他の材料としては、例えば、アミノプロピルエトキシシラン等の自己組織化分子等が挙げられる。

これらは、1種単独で使用してもよいし、2種以上を併用してもよい。これらの中でも、前記酸化物、前記窒化物及び前記フッ化物から選択される少なくとも1種の無機材料であるのが好ましく、酸化シリコン(SiO₂)がより好ましい。

前記絶縁層の厚みとしては、特に制限はなく、目的に応じて適宜選択すること

ができるが、前記半導体性棒状体と前記第三の電極との距離をできるだけ短くすると、ゲート・チャネル間距離が短く微細化されたことに相当し、低いゲート電圧でデバイス電流を容易に制度よく制御することができることから、できる限り薄い方が好ましく、具体的には、200 nm以下が好ましく、20 nm以下がより好ましい。

前記絶縁層の厚みが、200 nmを超えると、デバイス電流の制御を行うために多大なゲート電圧が必要になることがある。

前記絶縁層の形成方法としては、特に制限はなく、公知の方法の中から適宜選択することができ、例えば、塗布法、メッキ法、印刷法、スパッタ法、CVD法、蒸着法などが挙げられる。これらの中でも、任意の形状にかつ厚みの制御が容易な点でCVD法が好ましい。

前記第三の電極の形成方法としては、特に制限はなく、目的に応じて公知の方法の中から適宜選択することができ、例えば、塗布法、メッキ法、印刷法、スパッタ法、CVD法、蒸着法などが挙げられる。なお、前記第三の電極の形成後に、適宜アニール処理等を行ってもよい。

ここで、本発明の前記電界効果トランジスタの具体例について図面を参照しながら説明する。図3Aに示す電界効果トランジスタ100は、縦型電界効果トランジスタである。電界効果トランジスタ100は、前記第一の電極（ソース電極）としての下部電極30と、下部電極30に対向して配置された、前記第二の電極（ドレイン電極）としての上部電極40と、前記第三の電極としてのゲート電極50とを有する。

下部電極30は、基板1上に形成されており、積層構造を有する。該積層構造は、前記金属層としての触媒金属層3と、前記材料層としてのチタン層5とが基板1上にこの順に積層されて形成されている。

上部電極40は、下部電極30におけるチタン層5上に形成された絶縁膜7上に形成されており、下部電極30とは電氣的に絶縁されている。上部電極40は、積層構造を有する。該積層構造は、前記材料層としてのチタン層9と前記金属層

としての金属層 11 とが絶縁膜 7 上にこの順に積層されて形成されている。

ゲート電極 50 は、ホール 22 の内部に挿入されて配置されている。

ホール 22 は、基板 1 上に、触媒金属層 3、チタン層 5、絶縁膜 7、チタン層 9 及び金属層 11 が積層されて形成された積層膜を貫通して形成されている。具体的には、ホール 22 は、金属層 11 側から触媒金属層 3 側に向かって、金属層 11 における開口形状が円状であって、その中心軸が基板 1 と略直交方向に配向した円筒状に形成されている。ホール 22 における、底面が基板 1 の表面となっており、内壁には、基板 1 側から触媒金属層 3、チタン層 5、絶縁膜 7、チタン層 9 及び金属層 11 がこの順に露出している。該内壁においては、触媒金属層 3 及び金属層 11 が、チタン層 5、絶縁膜 7 及びチタン層 9 よりもホール 22 の内側に突出して形成されている。そして、該内壁における触媒金属層 3 及び金属層 11 の露出した表面上には、前記半導体性棒状体としてのカーボンナノチューブ 20 が形成されている。カーボンナノチューブ 20 により、触媒金属層 3 と金属層 11 とは接続されている。カーボンナノチューブ 20 は、一端が触媒金属層 3 上に接触し、他端が金属層 11 上に接触し、また、前記一端近傍がチタン層 5 と接触しており、その接触部に炭化チタン層 15 が形成され、前記他端近傍がチタン層 9 と接触しており、その接触部に炭化チタン層 15 が形成されている。カーボンナノチューブ 20 は、下部電極 30 及び上部電極 40 とオーミック接触している。カーボンナノチューブ 20 は、チタン層 3、絶縁膜 7 及びチタン層 9 の露出面に沿って、かつ基板 1 と直交方向に配置されている。

ゲート電極 50 は、絶縁層 13 を介してその一部がホール 22 に挿入されて配置されている。絶縁層 13 は、ホール 22 における前記内壁及び底面を被覆し、かつ上部電極 40 における露出面である金属層 11 上を被覆している。ゲート電極 50 は、ホール 22 において、絶縁層 13 による被覆面上に、ホール 22 の内部空間を埋設するようにして、かつ金属層 11 側の端部が、ホール 22 から突出して断面 T 字状のフランジ部を形成するようにして配置されている。ゲート電極 50 における、ホール 22 の内部に挿入された部分の形状は、円柱状である。

この電界効果トランジスタ 100 においては、ゲート電極 50 の周囲には、図 3B に示すように、厚みが極薄く形成された絶縁層 22 を介してカーボンナノチ

ューブ 20 が隣接して複数配置されている。

図 4 A に示す電界効果トランジスタ 101 は、図 3 A に示す電界効果トランジスタ 100 において、ホール 22 の底面が触媒金属層 3 のみとなっておらず、その周縁部のみが触媒金属層 3 となっており、かつ該周縁部を除く部分が円状に形成されたチタン層 5 となっている点でのみ、図 3 A に示す電界効果トランジスタ 100 と相違している。つまり、図 4 A に示す電界効果トランジスタ 101 においては、ホール 22 の底面に円状のチタン層 5 が形成されており、触媒金属層 3 がリング状に露出してリング状溝 17 が形成されている点で、図 3 A に示す電界効果トランジスタ 100 と相違している。そして、電界効果トランジスタ 101 においては、カーボンナノチューブ 20 の一端が、ホールの内壁に露出するチタン層 5 と、ホール 22 の底面に形成された円状のチタン層 5 とに接触し、接触部には炭化チタン層 15 が形成されている。

本発明の電界効果トランジスタにおいては、前記第一の電極（ソース電極）と前記第二の電極（ドレイン電極）とを接続する伝導チャネルとしての前記半導体性棒状体が、前記第三の電極（ゲート電極）の周囲に、絶縁膜を介して複数配置されている。そして、前記半導体性棒状体及び前記第三の電極（ゲート電極）は前記ホール内部に設けられるので、該ホールの内径を増減することにより、前記伝導チャネルとしての前記半導体性棒状体の数を容易に増減することができる。このため、該電界効果トランジスタにおいては、該第三の電極（ゲート電極）によりチャネル電流を容易に制御することができる。また、前記半導体性棒状体の数を増減するだけで、あるいは必要ならば更に前記第三の電極（ゲート電極）の前記ホール内に挿入された部分の直径を大きくすることにより、前記チャネル電流値を容易にかつ所望に制御することができる。その結果、該電界効果トランジスタは、半導体回路の設計等に好適に使用することができる。また、該電界効果トランジスタは、前記伝導チャネルと前記第三の電極（ゲート電極）との距離が極めて短いため、極めて低いゲート電圧でチャネル電流を制御することができ、従来に比しゲート容量を増大させることができ、デバイス性能を大幅に向上させる

ことができる。

本発明の電界効果トランジスタは、適宜選択した方法により製造することができるが、以下の本発明の電界効果トランジスタの製造方法により、特に好適に製造することができる。

(電界効果トランジスタの製造方法)

本発明の電界効果トランジスタの製造方法は、本発明の前記電界効果トランジスタの製造方法であって、半導体性棒状体形成工程と、絶縁層被覆工程と、第三の電極形成工程とを含み、更に必要に応じて適宜選択したその他の工程とを含む。

－半導体性棒状体形成工程－

前記半導体性棒状体形成工程は、前記絶縁膜を介して配置される前記第一の電極及び前記第二の電極を露出させる前記ホールを形成し、前記ホールの内壁に沿って前記半導体性棒状体を形成して該第一の電極と該第二の電極とを接続する工程である。

なお、前記絶縁膜、前記第一の電極、前記第二の電極、前記ホール、及び前記半導体性棒状体は、上述の通りであり、これらの形成方法等も上述の通りである。なお、前記第一の電極は、前記基板上に蒸着法等により積層形成することができ、このとき、該第一の電極を前記積層構造に形成してもよく、この場合には前記基板上に前記金属層及び前記材料層を積層してもよい。また、前記絶縁膜は、前記第一の電極（該第一の電極が前記積層構造を有する場合には前記材料層）上に、蒸着法等により積層形成することができる。前記第二の電極は、前記絶縁膜状に蒸着法等により積層形成することができ、このとき、該第二の電極を積層構造に形成してもよく、この場合には前記絶縁膜状に前記材料層及び前記金属層を積層形成することができる。これら各層の積層形成の際の条件としては、特に制限はなく、目的に応じて適宜選択することができる。

前記ホールは、例えば、前記第一の電極、前記絶縁膜及び前記第二の電極を蒸

着法等によって積層形成した後、この積層構造物の一部をエッチング法、イオンミリング法等によって選択的に除去すること等により形成することができる。

前記エッチング法としては、特に制限はなく、目的に応じて適宜選択することができ、例えば、ドライエッチング法、ウェットエッチング法、などが挙げられる。

前記ウェットエッチング法としては、特に制限はなく、公知の方法の中から適宜選択することができ、その処理溶液としては、例えば、硝酸溶液、フッ酸溶液、フッ酸と硝酸溶液との併用、熱リン酸溶液、などが挙げられる。また、ウェットエッチングの際の温度、圧力等の条件については、特に制限はなく、公知の条件の中から適宜選択することができる。

前記ドライエッチング法としては、特に制限はなく、公知の方法の中から適宜選択することができ、例えば、反応性イオンエッチング法、ケミカルドライエッチング法、などが挙げられる。前記ドライエッチングの際に用いるエッチング用ガスとしては、特に制限はなく、目的に応じて適宜選択することができ、例えば、 CF_4 ガス、 CHF_3 ガス、 C_4H_8 ガス、などのフッ素系ガスが好適に挙げられる。また、ドライエッチングの際の温度、圧力等の条件については、特に制限はなく、公知の条件の中から適宜選択することができる。

前記イオンミリング法は、イオンビームエッチングとも言われ、カウフマン型などの不活性ガスを導入し、イオンを生成し、これをグリッドを通して加速して試料基板に衝突させてエッチングする方法である。

なお、前記ホールを形成した後、該ホールに対しサイドエッチング処理を行うのが好ましい。この場合、該ホールの内壁において、露出した前記第一の電極における前記金属層及び前記第二の電極における前記金属層以外の層、即ち、前記第一の電極における前記材料層、前記絶縁膜及び前記第二の電極における前記材料層部分のみを更にエッチングして削ることができ、前記第一の電極における前記金属層及び前記第二の電極における前記金属層のみを、前記ホールの内側に突出させることができる。なお、前記サイドエッチング処理の方法としては、前記ウェットエッチング法、ドライエッチング法などが挙げられるが、これらの中でも、フッ素系ガスを用いたドライエッチング法などが好ましい。

前記ホール形成の結果、前記第一の電極及び前記第二の電極の一方にのみ、即ち該第一の電極が前記基板上に形成された下部電極である場合には前記上部電極としての前記第二の電極にのみ、貫通孔が形成され、他方の、即ち前記下部電極としての前記第一の電極における金属層が露出される。このとき、前記第一の電極における露出面の形状は、前記第二の電極（上部電極）の開口部の形状と同じ円形としてもよいし、あるいは、該開口部と略同等の形状及び径を有する周状としてもよい。

なお、後者の場合には、該第一の電極（下部電極）における前記材料層を前記エッチング法、リフトオフ法等により一旦除去した後、更に円状の材料層を、露出した前記第一の電極における前記金属層上に再形成してもよいし、あるいは、前記エッチング等の際に、前記第一の電極（下部電極）における前記材料層を前記周状に一部除去することにより形成してもよい。なお、前記エッチング等の条件としては、特に制限はなく、目的に応じて適宜選択することができる。

前記半導体性棒状体の形成方法としては、特に制限はなく、目的に応じて公知の方法の中から適宜選択することができるが、例えば、CVD法（化学的気相成長法）、熱分解法、などが挙げられる。

これらの方法は、1種単独で使用してもよいし、2種以上を併用してもよい。これらの中でも、前記半導体性棒状体として前記カーボンナノチューブを容易にかつ効率的に、しかも前記基板に対して略直交方向に伸長形成することができる点で、CVD法（化学的気相成長法）が好ましい。

前記CVD法（化学的気相成長法）としては、特に制限はなく、公知の方法の中から目的に応じて適宜選択することができ、例えば、熱CVD法（単にCVD法とも呼ばれる）、熱フィラメントCVD法、プラズマCVD法（プラズマアシステッドCVD法、プラズマエンハンスドCVD法とも呼ばれる）、DCプラズマ熱フィラメントCVD法、プラズマエンハンスドホットフィラメントCVD法、レーザーエンハンスドCVD法（レーザーCVD法とも呼ばれる）、などが挙げられる。これらの中でも、熱CVD法が好ましい。

前記熱CVD法では、フィラメントの熱により原料ガスを分解させることによ

り、前記カーボンナノチューブを成長させる。該熱CVD法により前記カーボンナノチューブを製造する場合、その条件の一例としては、前記フィラメントの温度が500～2000℃程度であり、原料ガスがアセチレンと水素との混合ガス（例えば、それぞれ80 s c c m、20 s c c mの流量で真空チャンバ内に導入したもの）であり、圧力が200 P a程度であり、基板温度が900℃程度である。

前記熱フィラメントCVD法では、熱フィラメントによりガス解離を行い、前記カーボンナノチューブを成長させる。この場合、反応条件の一例としては、反応ガスがアセチレンと水素との混合ガスをそれぞれ80 s c c m、20 s c c mの流量で真空チャンバ内に導入したもの、圧力が1000 P a、基板温度が600℃、熱フィラメント温度が1800℃などである。

前記プラズマCVD法では、プラズマにより原料ガスを分解させることにより、前記カーボンナノチューブを成長させる。前記プラズマの励起には、通常、高周波（R F）が好適に用いられるが、低周波、マイクロ波（M W）、直流（D C）などを使用してもよく、前記高周波（R F）の出力としては、0.1～1000 W / c m³ 程度である。

前記D Cプラズマ熱フィラメントCVD法は、直流（D C）プラズマと熱フィラメントとを併用した方法である。この場合、反応条件の一例としては、反応ガスがアセチレンと水素との混合ガスをそれぞれ80 s c c m、20 s c c mの流量で真空チャンバ内に導入したもの、圧力が1000 P a、基板温度が600℃、熱フィラメント温度が1800℃などである。なお、前記カーボンナノチューブを前記基板に対し垂直配向（直行方向に配向）させるには、チャンバ（接地）に対して基板にマイナス400 Vの直流（D C）電界を印加するのが好ましい。

前記CVD法の条件としては、特に制限はなく、CVD法によるカーボンナノチューブの製造条件と同様の条件が挙げられる。

前記CVD法の場合、原料ガスの流量を制御するのが好ましく、該原料ガスとしては、炭素供給ガスと導入ガスとの混合ガスが好適に用いられる。

前記炭素供給ガスとしては、特に制限はなく、目的に応じて適宜選択すること

ができ、例えば、メタン、エチレン、アセチレン、ベンゼン、ブタン、イソプロパノール、 $C_{10}H_{16}$ 、 CS_2 、 C_{60} 、などが挙げられる。

前記導入ガスとしては、特に制限はなく、目的に応じて適宜選択することができ、例えば、水素、 NH_3 、などが挙げられる。

前記混合ガスにおける前記炭素供給ガスと前記導入ガスとの混合割合としては、特に制限はなく、目的に応じて適宜選択することができ、例えば、前記炭素供給ガスとしてメタンガスを用い、前記導入ガスとして水素ガスを用いた場合、流量比としてメタンガス：水素ガス＝１～５：９～５程度とするのが好ましい。

前記CVD法の場合、真空チャンバの圧力を制御するのが好ましく、該真空チャンバの圧力としては、例えば、１～１０Torr（１００～１０００Pa）が好ましい。

なお、前記CVD法を行う場合には、前記第一の電極と前記第二の電極との間に直流電界を印加しておくのが好ましい。この場合、前記半導体性棒状体を該直流電界の印加方向に沿って、即ち前記第一の電極と前記第二の電極との対向方向に沿って伸長形成することができる点で有利である。

前記半導体性棒状体形成工程においては、前記半導体性棒状体を形成した後に、加熱処理を行ってもよい。

前記加熱処理の条件としては、特に制限はなく、目的に応じて適宜その温度、時間、雰囲気等を選択することができ、例えば、前記温度及び前記時間としては、４００℃以上で５分間以上が好ましく、６００～８００℃で５分間以上がより好ましく、前記雰囲気としては、窒素、アルゴン等の不活性雰囲気又は減圧雰囲気が好適に挙げられる。

前記加熱処理を行うと、前記半導体性棒状体と、前記第一の電極における前記材料層（例えば、チタン層、シリコン層、炭素層）及び前記第二の電極における前記材料層（例えば、チタン層、シリコン層、炭素層）とが反応して、両者の接触部において、例えばTiC層、SiC層、グラファイトカーボン層を形成することができ、該半導体性棒状体を前記第一の電極及び前記第二の電極とオーミック接触させ、互いに強固に接続させることができ、デバイス性能を向上させること

ができる点で好ましい。

ー絶縁層被覆工程ー

前記絶縁層被覆工程は、前記半導体性棒状体が形成された前記ホールの露出面上に絶縁層を被覆する工程である。該絶縁層被覆工程は、前記半導体性棒状体形成工程の後に好適に行うことができる。

前記絶縁層の被覆方法としては、特に制限はなく、公知の方法の中から適宜選択することができ、例えば、塗布法、メッキ法、印刷法、スパッタ法、CVD法、蒸着法などが挙げられる。これらの中でも、任意の形状にかつ厚みの制御が容易な点でCVD法が好ましい。

ー第三の電極形成工程ー

前記第三の電極形成工程は、該絶縁層で被覆された前記ホールを埋設するようにして第三の電極を形成する工程である。該第三の電極形成工程は、前記絶縁層被覆工程の後に好適に行うことができる。

前記第三の電極の形成方法としては、特に制限はなく、目的に応じて適宜選択した方法により形成することができ、例えば、塗布法、メッキ法、印刷法、スパッタ法、CVD法、蒸着法、レジストを用いたパターンニング法、蒸着・リフトオフ法、などが挙げられる。

本発明の電界効果トランジスタの製造方法においては、前記絶縁層被覆工程において、前記絶縁層の厚みを薄くしたまま、前記第三の電極を形成することができ、前記半導体性棒状体と前記第三の電極との距離を短くすることができ、半導体微細加工技術を用いることなく容易にゲート・チャネル間距離を短く微細化することができる。その結果、本発明の電界効果トランジスタの製造方法によると、極めて簡便かつ効率的に本発明の前記電界効果トランジスタを製造することができる。

以下、本発明の電界効果トランジスタ及びその製造方法について実施例を説明

するが、本発明は、これらの実施例に何ら限定されるものではない。

(実施例 1)

図 5 A～図 5 F は、本発明の電界効果トランジスタの製造を説明するための工程図である。

まず、図 5 A に示すように、基板 1 (Si 基板) 上にスパッタ法により、前記金属層としての触媒金属層 3 (Fe 層) を 10 nm の厚みになるように形成した。触媒金属層 3 (Fe 層) 上にスパッタ法により、前記材料層としてのチタン層 5 を 100 nm の厚みとなるように積層形成した。触媒金属層 3 (Fe 層) 及びチタン層 5 が、前記第一の電極としての下部電極を構成する。チタン層 5 上にスパッタ法により、絶縁膜 7 (SiO_2 絶縁膜) を 200 nm の厚みとなるように積層形成した。絶縁膜 7 上にスパッタ法により、前記材料層としてのチタン層 9 を 100 nm の厚みとなるように積層形成した。チタン層 9 上にスパッタ法により、金属層 11 (Fe 層) を 10 nm の厚みになるよう形成した。チタン層 9 及び金属層 11 (Fe 層) が、前記第二の電極としての上部電極を構成する。更に、金属層 11 (Fe 層) 上にスパッタ法により、絶縁層 13 としての SiO_2 を 50 nm の厚みとなるように積層形成した。

次に、こうして形成した積層構造物に対し、図 5 B に示すように、ホール 22 を形成した。即ち、該積層構造物の一部の領域を、レジストを用いて公知の方法によりパターニングし、イオンミリング法を用いて、基板 1 の表面が露出するまで選択的に除去した。次に、フッ素系ガスを用いたドライエッチング法により、ホール 22 の開口寸法よりもホール 22 の内壁の径が大きくなるようにサイドエッチングし、チタン層 5、絶縁膜 7 及びチタン層 9 のみを削り、触媒金属層 3 及び金属層 11 がこれら各層よりもホール 22 の内側に突出するようにした。なお、こうして形成したホール 22 の開口径は、2 μm であった。

次に、図 5 C に示すように、ホール 22 の内部において、触媒金属層 3 の露出部及び金属層 11 の露出部を製造用触媒として、熱 CVD 法によりカーボンナノチューブ 20 を伸長形成し、カーボンナノチューブ 20 により触媒金属層 3 と金属層 11 とを接続した。該熱 CVD 法は、反応ガスとしてアセチレン 80 sccm 及び水素 20 sccm の混合ガスを、真空チャンバ内に導入し、圧力が 200

P a、基板温度が900℃の条件で行った。その結果、SEMによる観察で、直径1.3nmの単層カーボンナノチューブが500本、ホール22の内壁に沿って円状に配置していることが確認された。

次に、図5Dに示すように、真空中、800℃で1時間の加熱処理を行うことにより、カーボンナノチューブ20が、チタン層5及びチタン層9との接触部において反応し、その接触部においてTiC層15が形成された。その結果、カーボンナノチューブ20が、前記上部電極及び前記下部電極とオーミック接触させることができた。以上が、前記半導体性棒状体形成工程である。

次に、図5Eに示すように、カーボンナノチューブ20が形成されたホール22の表面を覆うようにして、CVD法により、絶縁膜13(SiO₂)を20nmの厚みとなるように形成した。その結果、絶縁膜13は、ホール22の内部及び金属層11の表面に連続して形成された。以上が、前記絶縁層被覆工程である。

次に、図5Fに示すように、ホール22の内部の空隙を埋めるようにして、絶縁層13(SiO₂)上に、レジストによるパターニング法及び蒸着・リフトオフ法により、第三の電極50(Ti-Au電極(Ti層の厚み/Au層の厚み=10nm/100nm))を直径が110nmとなるように形成した。以上が、前記第三の電極形成工程である。

以上により、縦型の電界効果トランジスタを製造した。

(実施例2)

図6A～図6Fは、本発明の電界効果トランジスタの製造を説明するための工程図である。なお、図6A～図6Fにおける符号の内、図5A～図5Fにおけるものと同様の符号は、図5A～図5Fにおいて説明したものと同様である。

先ず、図6Aに示すように、基板1上に、触媒金属層3、チタン層5、絶縁膜7、チタン層9、金属層11及び絶縁層13をこの順に積層形成した。なお、この積層形成は、実施例1における図5Aに示すのと同様にして行った。

次に、図 6 B に示すように、前記積層構造体の一部の領域をレジスト層 25 を形成してパターニングし、イオンミリング法を用い、触媒金属層 3 の表面が露出するまで選択的に除去した。次に、フッ素系ガスを用いたドライエッチング法により、ホール 22 の開口寸法よりもホール 22 の内壁の径が大きくなるようにサイドエッチングし、チタン層 5、絶縁膜 7 及びチタン層 9 のみを削り、触媒金属層 3 及び金属層 11 がこれら各層よりもホール 22 の内側に突出するようにした。なお、こうして形成したホール 22 の開口径は $2\ \mu\text{m}$ であった。

次に、図 6 C に示すように、ホール 22 の底面（露出する触媒金属層 3）及びレジスト層 25 上にスパッタ法により、チタン層 16 を厚み $100\ \text{nm}$ となるように形成した。続いて、リフトオフ法によりホール 22 の底面（露出する触媒金属層 3）にリング状溝 17 を形成した。リング状溝 17 により、触媒金属層 3 がリング状に露出した。

次に、図 6 D に示すように、ホール 22 の内部において、触媒金属層 3 のリング状露出部及び金属層 11 の露出部を製造用触媒として、熱 CVD 法によりカーボンナノチューブ 20 を伸長形成し、カーボンナノチューブ 20 により触媒金属層 3 と金属層 11 とを接続した。該熱 CVD 法は、反応ガスとしてアセチレン $80\ \text{sccm}$ 及び水素 $20\ \text{sccm}$ の混合ガスを、真空チャンバ内に導入し、圧力が $200\ \text{Pa}$ 、基板温度が 900°C の条件で行った。その結果、SEM による観察で、直径 $1.3\ \text{nm}$ の単層カーボンナノチューブが 500 本、ホール 22 の内壁に沿って円状に配置していることが確認された。

次に、図 6 E に示すように、真空中、 800°C で 1 時間の加熱処理を行うことにより、カーボンナノチューブ 20 が、チタン層 5 及びチタン層 9 との接触部において反応し、その接触部において TiC 層 15 が形成された。その結果、カーボンナノチューブ 20 が、前記上部電極及び前記下部電極とオーミック接触させることができた。以上が、前記半導体性棒状体形成工程である。

次に、図 6 F に示すように、カーボンナノチューブ 20 が形成されたホール 22 の表面を覆うようにして、CVD 法により、絶縁膜 13 (SiO_2) を $20\ \text{nm}$ の厚みとなるように形成した。その結果、絶縁膜 13 は、ホール 22 の内部及

び金属層 11 の表面に連続して形成された。以上が、前記絶縁層被覆工程である。そして、ホール 22 の内部の空隙を埋めるようにして、絶縁層 13 (SiO_2) 上に、レジストによるパターニング法及び蒸着・リフトオフ法により、第三の電極 50 (Ti-Au 電極 (Ti 層の厚み/Au 層の厚み = 10 nm/100 nm)) を直径が 110 nm となるように形成した。以上が、前記第三の電極形成工程である。

以上により、縦型の電界効果トランジスタを製造した。

産業上の利用可能性

本発明によると、従来における問題を解決し、微細加工プロセスを経ずゲート・チャンネル間距離を微細化可能な構造を有し、ゲート容量が大きく、ゲートによるチャンネル電流の制御を低電圧で行うことができる高性能な縦型の電界効果トランジスタ、及び該電界効果トランジスタを微細加工プロセス等の複雑なプロセスを経ず簡便かつ効率的に製造可能な方法を提供することができる。

請 求 の 範 囲

1. 第一の電極と、該第一の電極に対し電氣的に絶縁された状態で配置された第二の電極と、該第一の電極及び該第二の電極の少なくとも一方を貫通しかつ該第一の電極及び該第二の電極を露出させるホールの内壁に沿って設けられ、かつ該第一の電極と該第二の電極とを接続する半導体性棒状体と、少なくとも一部が前記ホール内に挿入され、かつ前記半導体性棒状体に対して絶縁層を介して対向した状態で配置された第三の電極とを有することを特徴とする電界効果トランジスタ。
2. 絶縁層の厚みが50 nm以下である請求の範囲第1項に記載の電界効果トランジスタ。
3. 絶縁層が酸化物、窒化物、フッ化物から選択される少なくとも1種の無機材料で形成された請求の範囲第1項から第2項のいずれかに記載の電界効果トランジスタ。
4. ホールが円筒状である請求の範囲第1項から第3項のいずれかに記載の電界効果トランジスタ。
5. ホールの最大径が0.1～5 μ mである請求の範囲第1項から第4項のいずれかに記載の電界効果トランジスタ。
6. ホールが第一の電極及び第二の電極を貫通してなる請求の範囲第1項から第5項のいずれかに記載の電界効果トランジスタ。
7. ホールが2以上形成された請求の範囲第1項から第6項のいずれかに記載の電界効果トランジスタ。
8. 第一の電極と第二の電極とが絶縁膜を介して対向配置された請求の範囲第1項から第7項のいずれかに記載の電界効果トランジスタ。
9. 第一の電極及び第二の電極の少なくともいずれかが、積層構造を有する請求の範囲第1項から第8項のいずれかに記載の電界効果トランジスタ。
10. 積層構造が、金属層上に半導体性棒状体と反応可能な材料層が形成された構造である請求の範囲第9項に記載の電界効果トランジスタ。
11. 第一の電極における材料層と、第二の電極における材料層とが互いに

対向して配置された請求の範囲第10項に記載の電界効果トランジスタ。

12. 第一の電極及び第二の電極の一方にのみ、ホールの開口部となる貫通孔が形成され、該貫通孔が形成されていない他方において、該ホールによりその金属層が露出された請求の範囲第11項に記載の電界効果トランジスタ。

13. 貫通孔が形成されていない他方が、ホールにより、該ホールの開口部と略同等の形状及び径を有する周状にその金属層が露出された請求の範囲第12項に記載の電界効果トランジスタ。

14. 金属層が、半導体性棒状体の伸長に用いられる触媒金属で形成された請求の範囲第10項から第13項のいずれかに記載の電界効果トランジスタ。

15. 触媒金属が、遷移金属、遷移金属化合物及び遷移金属の合金から選択される少なくとも1種である請求の範囲第14項に記載の電界効果トランジスタ。

16. 遷移金属が、ニッケル、鉄及びコバルトから選択される請求の範囲第15項に記載の電界効果トランジスタ。

17. 材料層が、チタン、ケイ素、ニオブ及び炭素から選択される少なくとも1種の元素で形成された請求の範囲第10項から第16項のいずれかに記載の電界効果トランジスタ。

18. 第一の電極及び第二の電極の少なくとも一方が基板上に形成された請求の範囲第1項から第17項のいずれかに記載の電界効果トランジスタ。

19. 第三の電極が、ホール内に挿入された部分の形状が、ホールの周側面の形状と略同様の形状の周側面を有する請求の範囲第1項から第18項のいずれかに記載の電界効果トランジスタ。

20. 半導体性棒状体が、炭素元素で形成された請求の範囲第1項から第19項のいずれかに記載の電界効果トランジスタ。

21. 半導体性棒状体が、第三の電極の周囲に複数設けられた請求の範囲第1項から第20項のいずれかに記載の電界効果トランジスタ。

22. 半導体性棒状体が、略等間隔に配置された請求の範囲第1項から第21項のいずれかに記載の電界効果トランジスタ。

23. 半導体性棒状体が、カーボンナノチューブである請求の範囲第1項から第22項のいずれかに記載の電界効果トランジスタ。

24. カーボンナノチューブが、単層構造である請求の範囲第23項に記載の電界効果トランジスタ。
25. カーボンナノチューブが、CVD法で形成された請求の範囲第23項から第24項のいずれかに記載の電界効果トランジスタ。
26. カーボンナノチューブが、第一の電極と第二の電極とが対向する方向に印加された直流電界下で形成された請求の範囲第23項から第26項のいずれかに記載の電界効果トランジスタ。
27. 半導体性棒状体の直径が、20nm以下である請求の範囲第1項から第26項のいずれかに記載の電界効果トランジスタ。
28. 半導電性棒状体が、第一の電極における金属層及び材料層と、第二の電極における金属層及び材料層と接続された請求の範囲第10項から第27項のいずれかに記載の電界効果トランジスタ。
29. 半導体性棒状体と材料層との接触部において、該半導体性棒状体を構成する元素と該材料層を構成する材料との化合物が存在する請求の範囲第28項に記載の電界効果トランジスタ。
30. 半導体性棒状体が、第一の電極における金属層上と、第二の電極における金属層上とを接続する請求の範囲第1項から第29項のいずれかに記載の電界効果トランジスタ。
31. 半導電性棒状体が、第一の電極及び第二の電極とオーミック接触している請求の範囲第1項から第30項のいずれかに記載の電界効果トランジスタ。
32. 半導電性棒状体が、伝導チャネルである請求の範囲第1項から第31項のいずれかに記載の電界効果トランジスタ。
33. 第一の電極がソース電極であり、第二の電極がドレイン電極であり、第三の電極がゲート電極である請求の範囲第1項から第32項のいずれかに記載の電界効果トランジスタ。
34. 第一の電極及び第二の電極が上下方向に対向して配置され、第三の電極が該上下方向に略直交方向に配置された請求の範囲第1項から第33項のいずれかに記載の電界効果トランジスタ。
35. 請求の範囲第1項から第34項のいずれかに記載の電界効果トランジ

スタの製造方法であって、

絶縁膜を介して配置される第一の電極及び第二の電極を露出させるホールを形成し、前記ホールの内壁に沿って半導体性棒状体を形成して該第一の電極と該第二の電極とを接続する半導体性棒状体形成工程と、該半導体性棒状体が形成された前記ホールの露出面上に絶縁層を被覆する絶縁層被覆工程と、該絶縁層で被覆された前記ホールを埋設するようにして第三の電極を形成する第三の電極形成工程とを含むことを特徴とする電界効果トランジスタの製造方法。

36. 半導体性棒状体形成工程において、半導体性棒状体を形成した後、加熱を行い、該半導体性棒状体と第一の電極及び第二の電極とをオーミック接触させる請求の範囲第37項に記載の電界効果トランジスタの製造方法。

37. 第一の電極及び第二の電極が、金属層上に半導体性棒状体と反応可能な材料層が形成された積層構造を有し、該第一の電極における材料層と、該第二の電極における材料層とが互いに対向して配置され、

半導体性棒状体形成工程において、第一の電極及び第二の電極の一方にのみ貫通孔を形成し、他方の金属層を露出させることによりホールを形成する請求の範囲第35項から第36項のいずれかに記載の電界効果トランジスタの製造方法。

38. 他方の金属層を、ホールの開口部と略同等の形状及び径を有する周状に露出させる請求の範囲第37項に記載の電界効果トランジスタの製造方法。

39. 半導体性棒状体形成工程において、半導体性棒状体をCVD法により形成する請求の範囲第35項から第38項のいずれかに記載の電界効果トランジスタの製造方法。

40. CVD法が、熱CVD法、熱フィラメントCVD法、プラズマCVD法及びDCプラズマ熱フィラメントCVD法から選択される請求の範囲第39項に記載の電界効果トランジスタの製造方法。

41. 半導体性棒状体の形成が、第一の電極と第二の電極とが対向する方向に印加された直流電界下で行われる請求の範囲第39項から第40項のいずれかに記載の電界効果トランジスタの製造方法。

図 1 A

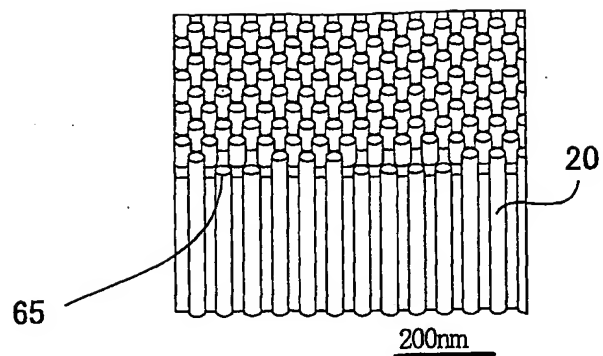


図 1 B

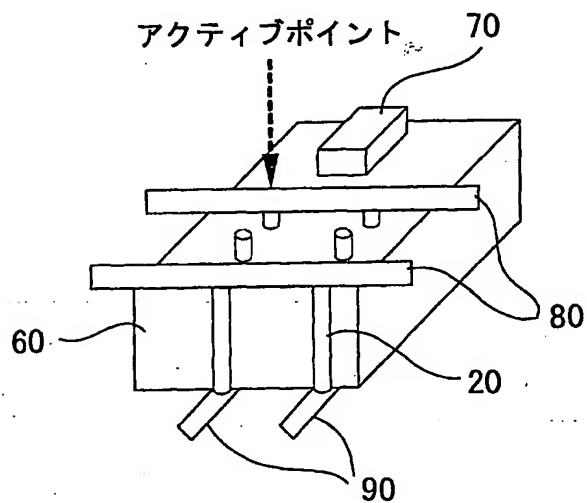


図 1 C

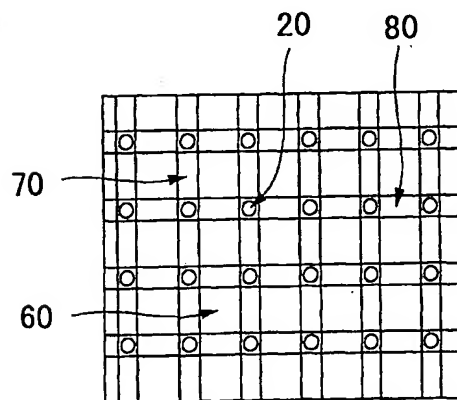


図 2 A

アームチェア型

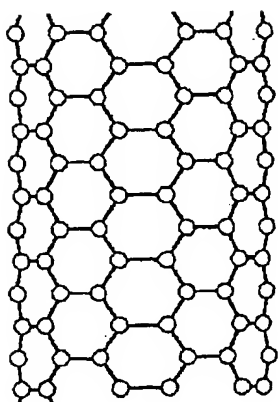


図 2 B

ジグザグ型

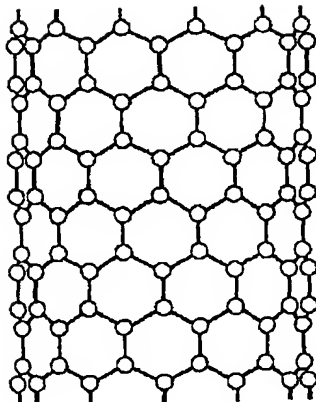


図 2 C

カイラル型

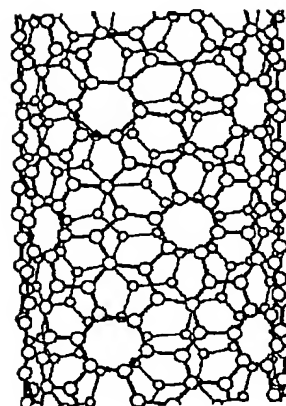


図 3 A

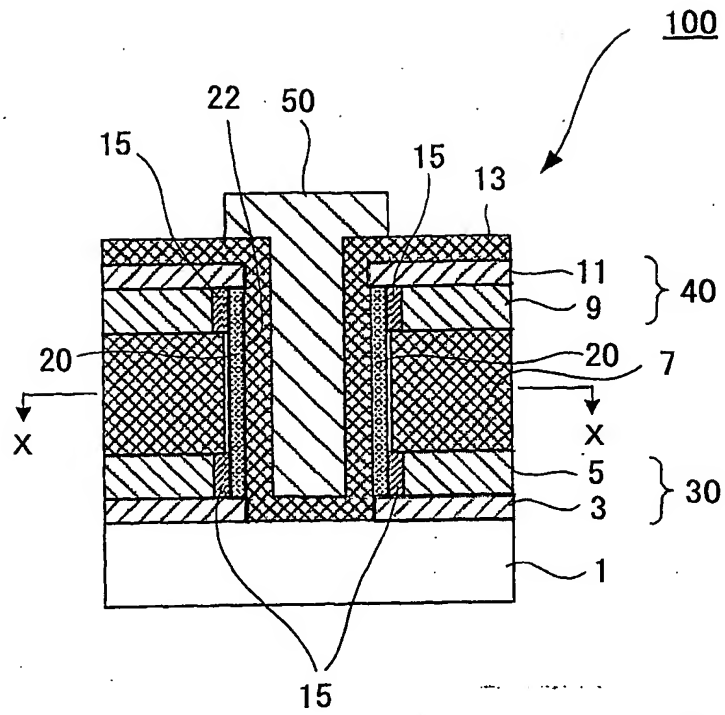


図 3 B

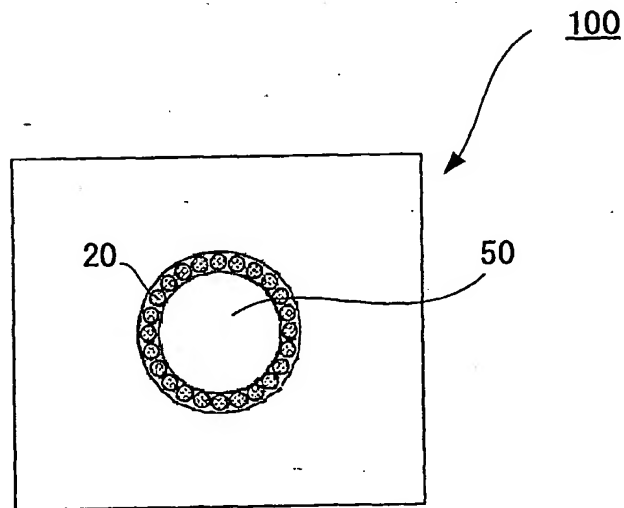


図 4 A

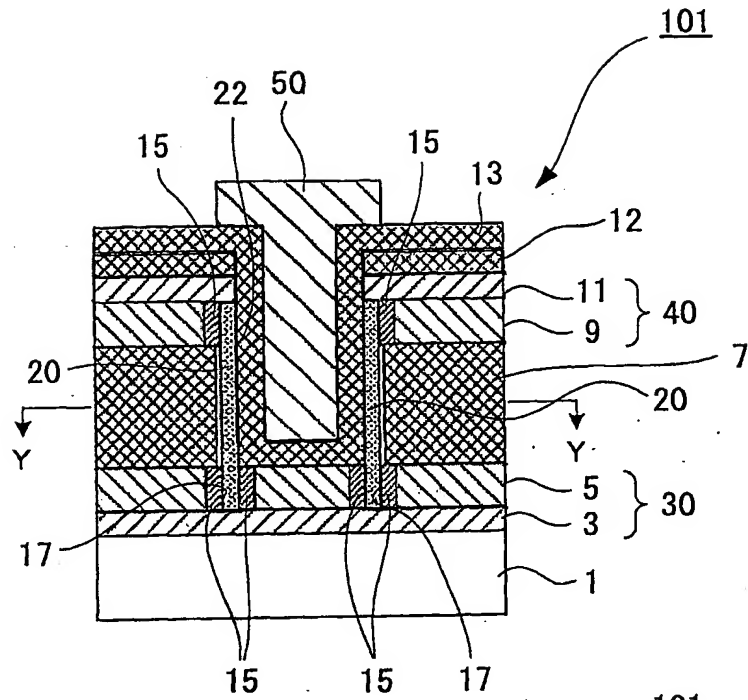


図 4 B

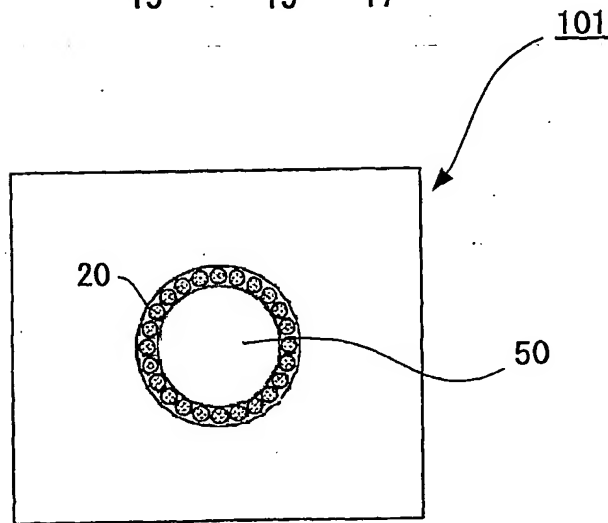


図 5 A

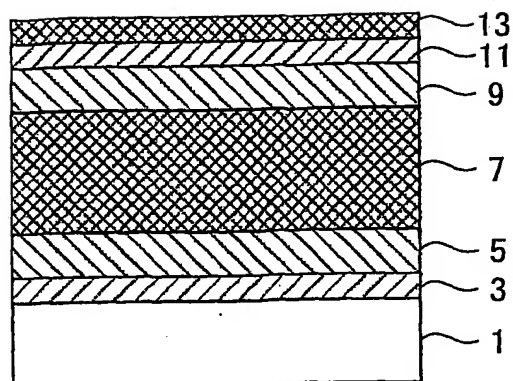


図 5 B

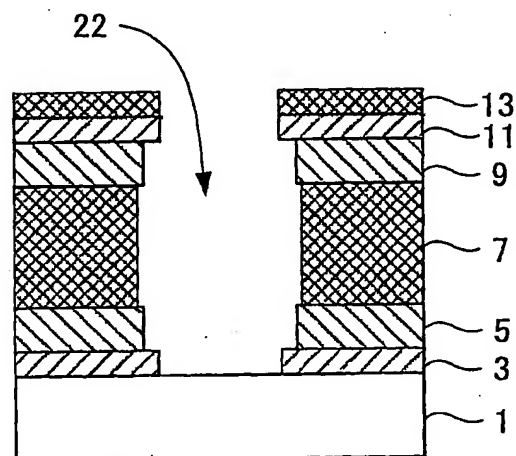


図 5 C

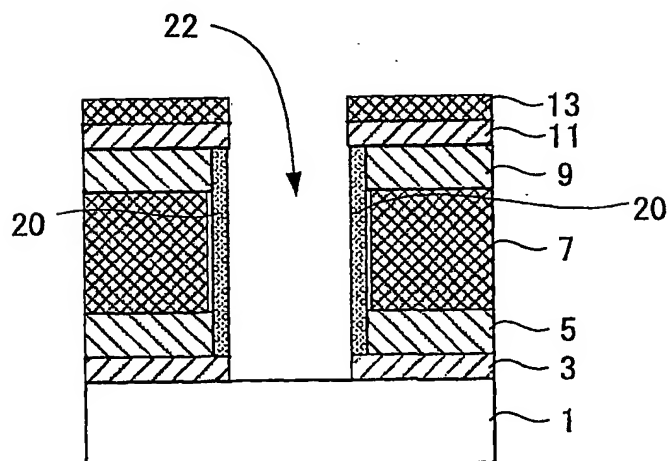


図 5 D

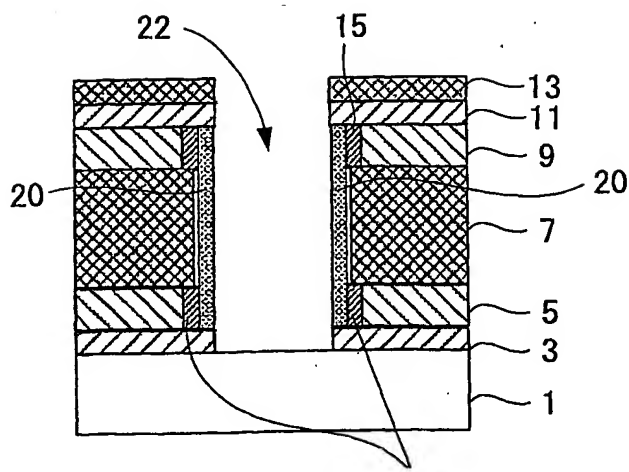


図 5 E

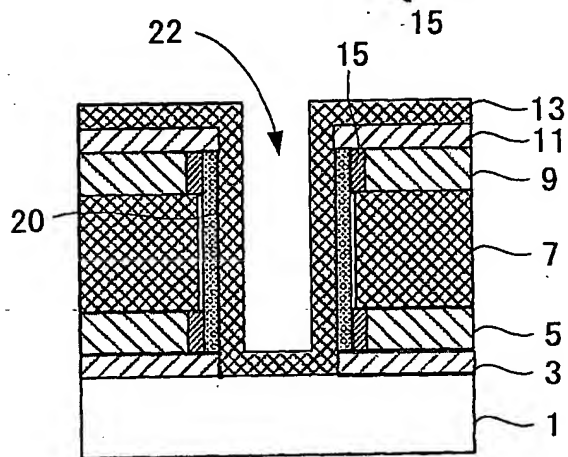


図 5 F

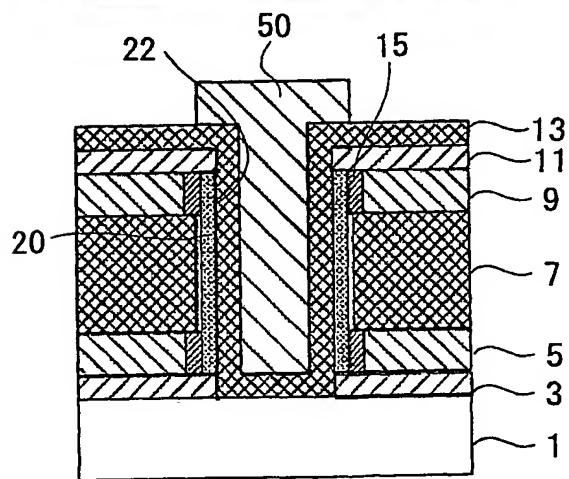


図 6 A

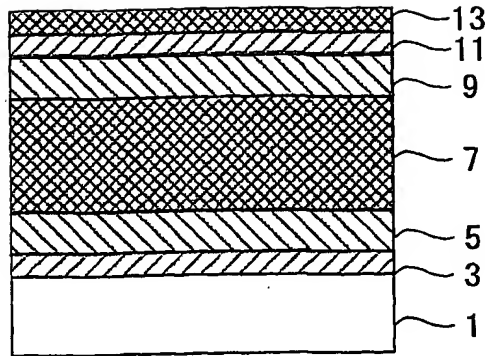


図 6 B

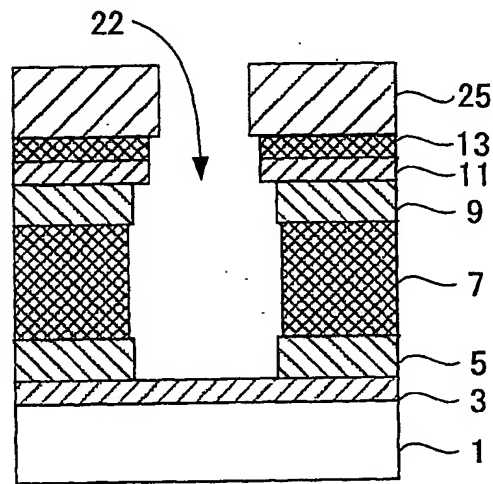


図 6 C

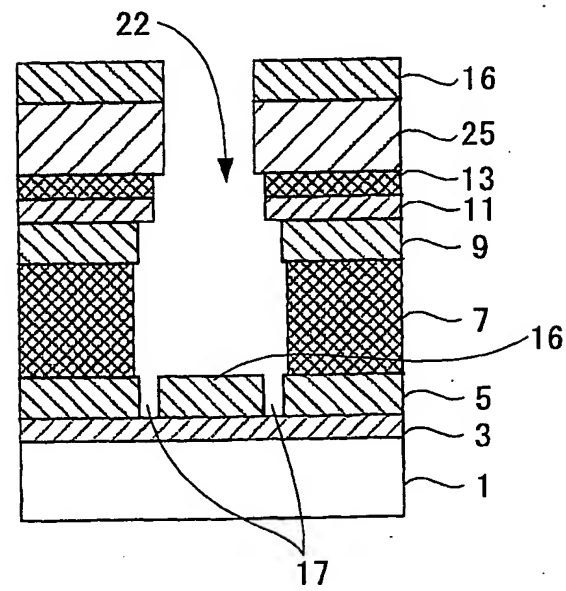


図 6 D

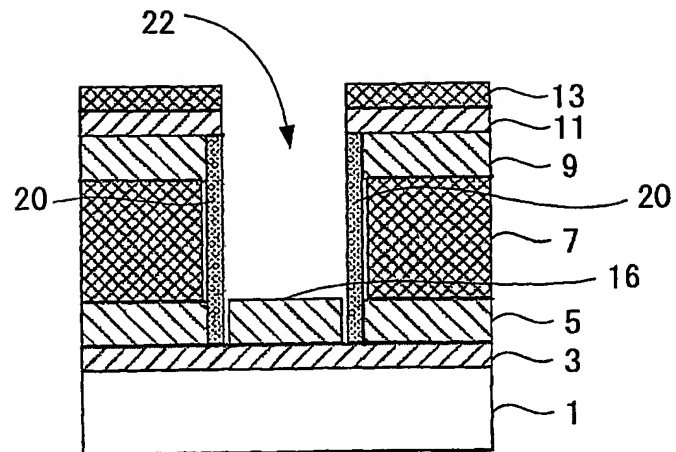


図 6 E

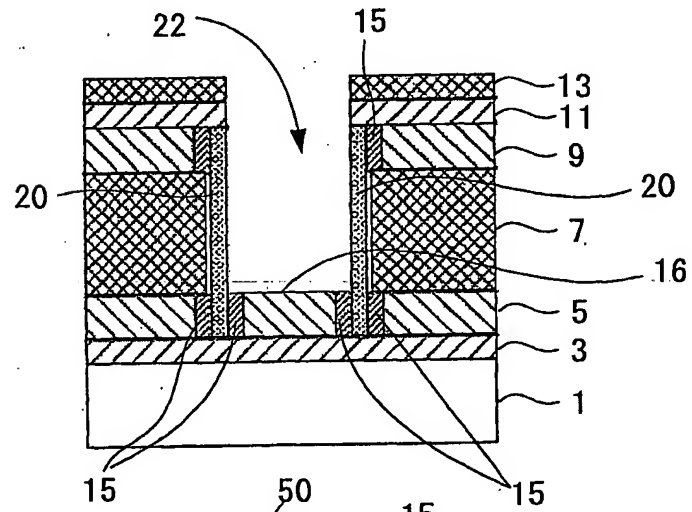
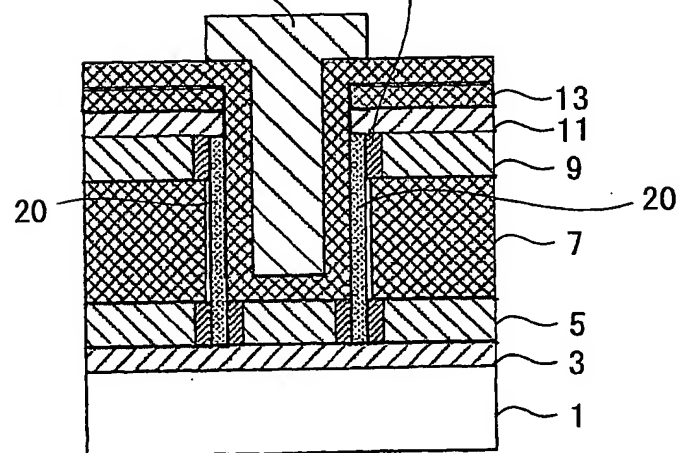


図 6 F



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP03/06379

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl⁷ H01L29/786, H01L21/336, H01L29/06, B82B3/00

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl⁷ H01L29/786, H01L21/336, H01L29/06

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Toroku Jitsuyo Shinan Koho	1994-2003
Kokai Jitsuyo Shinan Koho	1971-2003	Jitsuyo Shinan Toroku Koho	1996-2003

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y A	US 2002/0163079 A1 (FUJITSU LTD.), 07 November, 2002 (07.11.02), Full text; Figs. 1 to 41B & JP 2003-86796 A Full text; Figs. 1 to 15	1-9, 11-12, 14-20, 22-28, 30-35 10, 13, 21, 29
Y A	JP 2-226762 A (Hitachi, Ltd.), 10 September, 1990 (10.09.90), Full text; Figs. 1 to 13 (Family: none)	1-3, 5-9, 11-12, 14-20, 22-28, 30-35 4, 10, 13, 21, 29
Y A	JP 2002-203969 A (Toshiba Corp.), 19 July, 2002 (19.07.02), Full text; Figs. 1 to 23 (Family: none)	1-5, 7-9, 11-12, 14-20, 22-28, 30-35 6, 10, 13, 21, 29

☒ Further documents are listed in the continuation of Box C.☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier document but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
11 July, 2003 (11.07.03)Date of mailing of the international search report
22 July, 2003 (22.07.03)Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP03/06379

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y A	US 2002/0145159 A1 (HITACHI, Ltd.), 10 October, 2002 (10.10.02), Full text; Figs. 1 to 39 & JP 2000-269457 A Full text; Figs. 1 to 39 & WO 00/55920 A1 & AU 200026926 A & TW 477068 A	1-3, 5, 7-9, 11-12, 14-20, 22-28, 30-35 4, 6, 10, 13, 21, 29
Y	JP 2003-17508 A (NEC Corp.), 17 January, 2003 (17.01.03), Full text; Figs. 1 to 7 & WO 03/05451 A1	20, 22-26
Y	JP 2002-299238 A (Sony Corp.), 11 October, 2002 (11.10.02), Full text; Figs. 1 to 35 (Family: none)	26

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP03/06379

Box I Observations where certain claims were found unsearchable (Continuation of item 2 of first sheet)

This international search report has not been established in respect of certain claims under Article 17(2)(a) for the following reasons:

1. ☐ Claims Nos.:
because they relate to subject matter not required to be searched by this Authority, namely:
2. ☒ Claims Nos.: 36-41
because they relate to parts of the international application that do not comply with the prescribed requirements to such an extent that no meaningful international search can be carried out, specifically:
Claim 36 is a dependent claim of claim 37 which is a dependent claim of claim 35 or 36. Therefore the definition of a field-effect transistor in claim 36, and claims 37-41 which are dependent claims of claim 36 is unclear.
3. ☐ Claims Nos.:
because they are dependent claims and are not drafted in accordance with the second and third sentences of Rule 6.4(a).

Box II Observations where unity of invention is lacking (Continuation of item 3 of first sheet)

This International Searching Authority found multiple inventions in this international application, as follows:

1. ☐ As all required additional search fees were timely paid by the applicant, this international search report covers all searchable claims.
2. ☐ As all searchable claims could be searched without effort justifying an additional fee, this Authority did not invite payment of any additional fee.
3. ☐ As only some of the required additional search fees were timely paid by the applicant, this international search report covers only those claims for which fees were paid, specifically claims Nos.:
4. ☐ No required additional search fees were timely paid by the applicant. Consequently, this international search report is restricted to the invention first mentioned in the claims; it is covered by claims Nos.:

Remark on Protest ☐ The additional search fees were accompanied by the applicant's protest.
☐ No protest accompanied the payment of additional search fees.

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. Cl⁷ H01L 29/786, H01L 21/336, H01L 29/06,
B82B 3/00

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. Cl⁷ H01L 29/786, H01L 21/336, H01L 29/06

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1922-1996年
 日本国公開実用新案公報 1971-2003年
 日本国登録実用新案公報 1994-2003年
 日本国実用新案登録公報 1996-2003年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y A	US 2002/0163079 A1 (FUJITSU LIMITED) 2002. 11. 07, 全文, 第1-41B図 & JP 2003-86796 A, 全文, 第1-15図	1-9, 11-12, 14-20, 22-28, 30-35 10, 13, 21, 29
Y A	JP 2-226762 A (株式会社日立製作所) 1990. 09. 10, 全文, 第1-13図 (ファミリーなし)	1-3, 5-9, 11-12, 14-20, 22-28, 30-35 4, 10, 13, 21, 29

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの
 「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
 「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
 「O」 口頭による開示、使用、展示等に言及する文献
 「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
 「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
 「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
 「&」 同一パテントファミリー文献

国際調査を完了した日

11. 07. 03

国際調査報告の発送日

22.07.03

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)
 郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

萩原 周治



4M

3123

電話番号 03-3581-1101 内線 3462

C (続き). 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	JP 2002-203969 A (株式会社東芝) 2002. 07. 19, 全文, 第1-23図 (ファミリーなし)	1-5, 7-9, 11-12, 14-20, 22-28, 30-35
A		6, 10, 13, 21, 29
Y	US 2002/0145159 A1 (HITACHI, Ltd.) 2002. 10. 10, 全文, 第1-39図 &JP 2000-269457 A, 全文, 第1-39図	1-3, 5, 7-9, 11-12, 14-20, 22-28, 30-35
A	&WO 00/55920 A1 &AU 200026926 A &TW 477068 A	4, 6, 10, 13, 21, 29
Y	JP 2003-17508 A (日本電気株式会社) 2003. 01. 17, 全文, 第1-7図 &WO 03/05451 A1	20, 22-26
Y	JP 2002-299238 A (ソニー株式会社) 2002. 10. 11, 全文, 第1-35図 (ファミリーなし)	26

第Ⅰ欄 請求の範囲の一部の調査ができないときの意見 (第1ページの2の続き)

法第8条第3項 (PCT17条(2)(a))の規定により、この国際調査報告は次の理由により請求の範囲の一部について作成しなかった。

1. ☐ 請求の範囲 _____ は、この国際調査機関が調査をすることを要しない対象に係るものである。つまり、
2. ☒ 請求の範囲 36-41 は、有意義な国際調査をすることができる程度まで所定の要件を満たしていない国際出願の部分に係るものである。つまり、
請求の範囲36は、請求の範囲37の従属請求の範囲であるが、請求の範囲37は、請求の範囲35又は36の従属請求の範囲となっているため、請求の範囲36及びその従属請求の範囲である請求の範囲37-41が、どのような電界効果トランジスタを形成しているの不明瞭である。
3. ☐ 請求の範囲 _____ は、従属請求の範囲であってPCT規則6.4(a)の第2文及び第3文の規定に従って記載されていない。

第Ⅱ欄 発明の単一性が欠如しているときの意見 (第1ページの3の続き)

次に述べるようにこの国際出願に二以上の発明があるところの国際調査機関は認めた。

1. ☐ 出願人が必要な追加調査手数料をすべて期間内に納付したので、この国際調査報告は、すべての調査可能な請求の範囲について作成した。
2. ☐ 追加調査手数料を要求するまでもなく、すべての調査可能な請求の範囲について調査することができたので、追加調査手数料の納付を求めなかった。
3. ☐ 出願人が必要な追加調査手数料を一部のみしか期間内に納付しなかったので、この国際調査報告は、手数料の納付のあった次の請求の範囲のみについて作成した。
4. ☐ 出願人が必要な追加調査手数料を期間内に納付しなかったので、この国際調査報告は、請求の範囲の最初に記載されている発明に係る次の請求の範囲について作成した。

追加調査手数料の異議の申立てに関する注意

- ☐ 追加調査手数料の納付と共に出願人から異議申立てがあった。
- ☐ 追加調査手数料の納付と共に出願人から異議申立てがなかった。